

PAT-NO: JP401124225A
DOCUMENT-IDENTIFIER: JP 01124225 A
TITLE: APPARATUS FOR MANUFACTURING SEMICONDUCTOR DEVICE

PUBN-DATE: May 17, 1989

INVENTOR-INFORMATION:

NAME	COUNTRY
MITAI, KANEKO	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
OKI ELECTRIC IND CO LTD	N/A
MIYAZAKI OKI ELECTRIC CO LTD	N/A

APPL-NO: JP62282097

APPL-DATE: November 10, 1987

INT-CL (IPC): H01L021/56 , B29C045/14 , B29C045/26

US-CL-CURRENT: 264/515

ABSTRACT:

PURPOSE: To obtain a semiconductor device excellent in the yield and quality by providing dummy runners bifurcating from a runner.

CONSTITUTION: A first dummy runner is provided which is bifurcated from a portion of a main runner 2 between a cull portion 1 and a bifurcating portion from which chase runners 2A closest to the cull portion are bifurcated. A second dummy runner 16 is provided which is bifurcated from the portion of the main runner 2 between the chase runners 2A. A third dummy runner 17 is further provided which is bifurcated from the chase runners 2A before their reaching each of chases 4011. The majority of a void 14 flows into the first dummy runner 15 or into the main runner 2. Within the void 14 a small quantity of the remaining void flows into the third dummy runner 17, whereby it does not reach a cavity 3.

COPYRIGHT: (C) 1989, JPO&Japio

⑪ 公開特許公報 (A) 平1-124225

⑫ Int.CI.¹H 01 L 21/56
B 29 C 45/14
45/26

識別記号

府内整理番号

T-6835-5F
7258-4F
6949-4F

⑬ 公開 平成1年(1989)5月17日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体製造装置

⑮ 特願 昭62-282097

⑯ 出願 昭62(1987)11月10日

⑰ 発明者 三田井 兼夫 宮崎県宮崎郡清武町大字木原727番地 宮崎沖電気株式会社内

⑱ 出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑲ 出願人 宮崎沖電気株式会社 宮崎県宮崎郡清武町大字木原727番地

⑳ 代理人 弁理士 菊池 弘

明細書

1. 発明の名称

半導体製造装置

2. 特許請求の範囲

半導体封止用樹脂の供給部であるカル部と、

該カル部に連結され、前記カル部からの前記樹脂の通路となるランナと、

該ランナと連結され、該ランナからの前記樹脂をリードフレームがセットされるキャビティへと導くチエイスとからなる半導体製造装置において、

前記チエイスとカル部との間にあるランナに、該ランナから分岐したダミーランナを設けたことを特徴とする半導体製造装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体製造装置に関し、特にリードフレームに装着されたICチップを樹脂封止するための金型の構造に関するものである。

(従来の技術)

第2図は従来の半導体製造装置の封止用金型の

説明図、第3図は第2図のランナ部等を拡大した説明図である。第2図及び第3図において、溶融封止用樹脂の供給源となる例えばトランスファポート部等のカル部1から溶融封止用樹脂が逆ろメインランナ2が伸長している。メインランナ2の各々から分岐した複数のチエイスランナ2Aが設けられている。チエイスランナ2Aの各々は、各々が溶融封止用樹脂の入る部分となるキャビティ3を多数個有するチエイス4～11内迄伸長し、ゲート12を介してキャビティ3に連通している。

次に動作について説明する。キャビティ3にICチップを装着したリードフレーム(不図示)がセットされる。封止用樹脂13は溶融されてカル部1から外圧により押出され、メインランナ2を通じチエイスランナ2Aに枝分れし、そしてゲート12を介してキャビティ3内に流れ込み、これを充填する。封止用樹脂13が冷却して固化すればトランスファ成形によるICチップの樹脂封止が完了する。

(発明が解決しようとする問題点)

しかしながら、上記構成の装置では第3図に示す様に封止用樹脂13の注入時に封止用樹脂13内部に混在する気泡（以下、ポイドという）14がメインランナ2を通り、キャビティ3内に流れ込み、特にカル部1に近いチエイス5, 6, 8, 10にポイド14が最も多く流れ込みチエイス5, 6, 9, 10のキャビティ3の一部において成形不良が発生すると言う問題点があった。

本発明は、ポイドが多数のキャビティに流れ込む問題点を除去し、歩留り及び成形品の品質が優れた半導体製造装置を提供することを目的とする。

(問題点を解決するための手段)

本発明に係る半導体製造装置は、ランナから分岐したダミーランナを設けたものである。

(作用)

本発明における半導体製造装置は、溶融した封止用樹脂内に混在するポイドがダミーランナに入り込んで閉じ込められ、ポイドがキャビティに到達するのを防止する。

(実施例)

ランナ2を流れる。

上記ポイド14の残りの内でメインランナ2をさらに流れるポイドは、第2のダミーランナ16内に流れ込み、さらに、残ったポイドはチエイス4, 7, 8, 11側のチエイスランナ2Aに流れ込む。

上記のようにポイド14の内でチエイスランナ2Aに流れ込んだ残りわずかのポイドは第3のダミーランナ17に流れ込み、キャビティ3に到達しない。

(発明の効果)

以上、詳細に述べたように本発明によれば、ランナから分岐したダミーランナを設けたので、ポイドがダミーランナによって閉じ込められ、成形性の優れた樹脂封止が可能となり、歩留り及び品質の向上が期待できる。

4. 図面の簡単な説明

第1図は本発明の一実施例による装置の金型の説明図、第2図は従来装置の金型の説明図、第3図は第2図を拡大した説明図である。

以下、本発明の一実施例を図面に基づいて詳細に説明する。第1図は本発明の一実施例を示す装置の金型の説明図である。同図において、第3図の従来と同一構成部分には同符号を付し、その説明を省略する。カル部1とこれに最も近いチエイスランナ2Aが分岐している分岐部との間にあるメインランナ2の部分から分岐した第1のダミーランナ15が設けられている。又、チエイスランナ2A間のメインランナ2の部分から分岐した第2のダミーランナ16が設けられている。さらに、チエイスランナ2Aがチエイス4～11の各々に到達する迄の間にチエイスランナ2Aから分岐した第3のダミーランナ17が設けられている。なお、第1～第3のダミーランナ15～17は、その容量が封止用樹脂13の量により決定され、又、キャビティ3に通じていない。

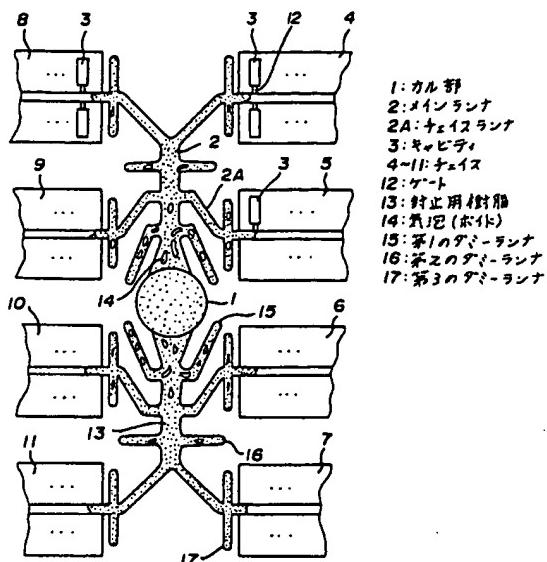
かかる装置の動作については従来と同様であるが、ポイド14の大部分が第1のダミーランナ15に流れ込み、ポイドの枝分れしなかった残りはチエイスランナ2Aの一部に流れたり、又は、メイ

図中、1…カル部、2…メインランナ、2A…チエイスランナ、3…キャビティ、4～11…チエイス、12…ゲート、13…封止用樹脂、15～17…第1～第3のダミーランナ。

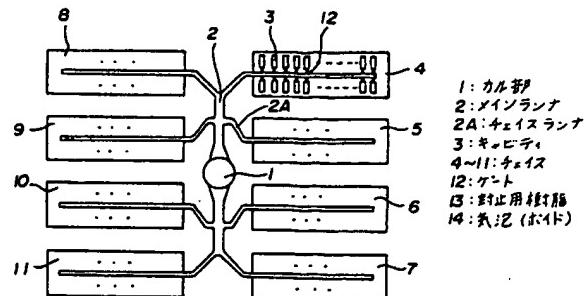
特許出願人 沖電気工業株式会社（他1名）

代理人 弁理士 萩池 弘

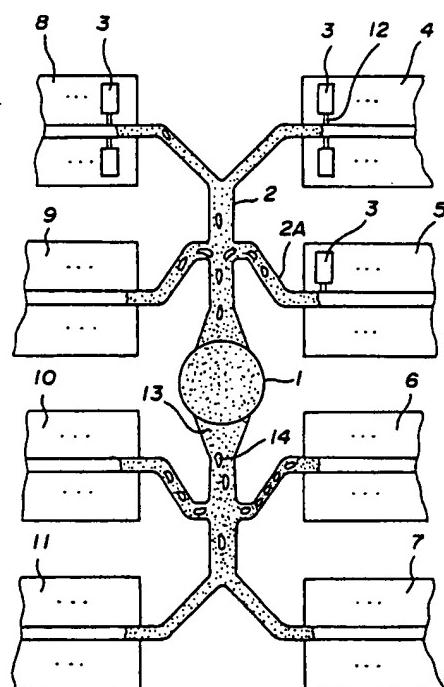




本発明呼導体製造装置の金型の説明図
第1図



従来装置の金型の説明図
第2図



第2図を拡大した図
第3図